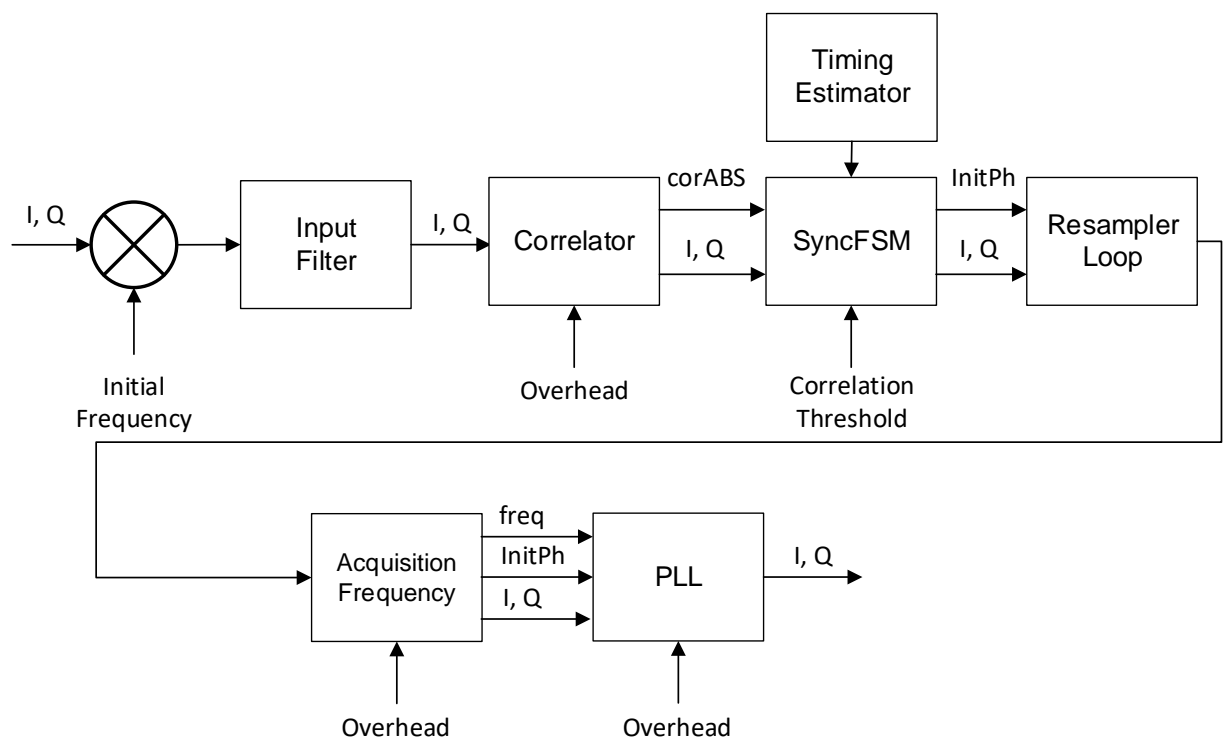


IP-ядро MF-TDMA-демодулятора

Описание:

IP-ядро MF-TDMA-демодулятора предназначено для реализации в ПЛИС фирмы Xilinx алгоритмов демодуляции сигналов систем многочастотного множественного доступа с временным разделением (МЧ МДВР).

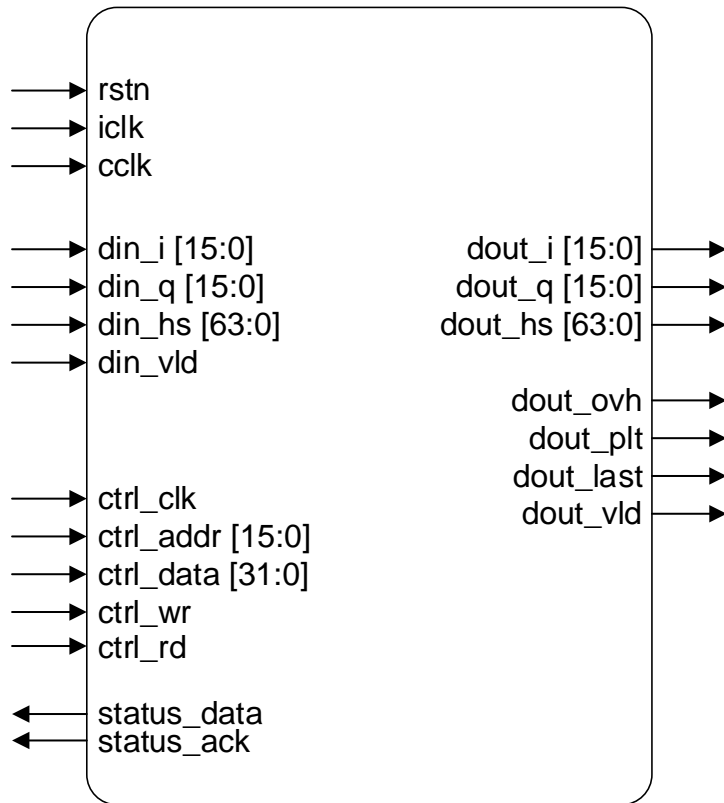
Блок-схема:



Основные особенности:

- поддерживаемые типы модуляции: BPSK, QPSK, 8PSK;
- изменение заголовка принимаемого кадра;
- изменение входного фильтра;
- программируемые характеристики петель синхронизации;
- поддержка меток времени;
- поддержка широкого спектра семейств ПЛИС фирмы Xilinx (Kintex 7, Virtex 7, Artix 7, Kintex UltraScale, Virtex UltraScale, Kintex UltraScale+, Virtex UltraScale+);

Описание портов ввода вывода:



Наименование порта	Тип порта	Разрядность	Описание
Порты общего назначения			
rstn	вход	-	Синхронный сброс
iclk	вход	-	Синхроимпульс входных данных
cclk	вход	-	Синхроимпульс ядра демодулятора
Интерфейс входных данных			
din_i	вход	[15:0]	Входные данные для демодуляции
din_q	вход	[15:0]	
din_hs	вход	[63:0]	Вход синхронизированного с ядром демодулятора конвейера. Предназначен для передачи пользовательских данных.
din_vld	вход		Строб входных данных
Выходной интерфейс результата демодуляции			
dout_i	выход	[15:0]	Выходные демодулированные данные
dout_q	выход	[15:0]	
dout_hs	выход	[63:0]	Выход синхронизированного с ядром демодулятора конвейера.

Наименование порта	Тип порта	Разрядность	Описание
dout_ovh	ВЫХОД	-	Строб заголовка демодулированного кадра
dout_plt	ВЫХОД	-	Строб заголовка пилот-символов демодулированного кадра
dout_last	ВЫХОД	-	Строб конца кадра
dout_vld	ВЫХОД	-	Строб выходных данных
Интерфейс управления			
ctrl_clk	ВХОД	-	Синхроимпульс интерфейса управления
ctrl_addr	ВХОД	[15:0]	Адрес интерфейса управления
ctrl_data	ВХОД	[31:0]	Данные интерфейса управления
ctrl_wr	ВХОД	-	Строб записи интерфейса управления
ctrl_rd	ВХОД	-	Строб чтения интерфейса управления
status_data	ВЫХОД	-	Выходные данные интерфейса управления
status_ack	ВЫХОД	-	Строб выходных данных интерфейса управления